

SO- Section: E, Section No. 1628, Vol. 18, No. 590, Pg. 60, November 10, 1994 (19941110)

AB- PURPOSE: To embody a wiring structure, wherein the lateral etching of an intermediate metallic layer is suppressed, and uncontaminated copper is exposed to the bottom part of a via hole, and further, both the execution of an optimum pretreatment for burying copper in the via hole by a selective chemical gas phase reaction and the process of the pretreatment are made possible.

CONSTITUTION: A via hole 208 to whose bottom surface a first copper layer 204 of a first wiring layer is exposed is formed. The copper on the bottom surface of the via hole 208 is reduced by its heating in a hydrogen atmosphere, and subsequently, a third copper layer 211 of a second wiring layer is formed by a chemical vapor growth. Thereby, the burying of the via hole 208 is performed.

?ss pn=10261715

S3 1 PN=10261715

?t s3/4/1

3/4/1

FN- DIALOG(R)File 347:JAPIO|

CZ- (c) 2001 JPO & JAPIO. All rts. reserv.|

TI- MULTILAYER INTERCONNECTION STRUCTURE AND ITS MANUFACTURE

PN- ~~10-261715~~ -JP 10261715 A-

PD- September 29, 1998 (19980929)

AU- UENO KAZUYOSHI; VINCENT MICHAEL DONNELLY JR

PA- NEC CORP [000423] (A Japanese Company or Corporation), JP (Japan);
LUCENT TECHNOL INC [000000] (A Non-Japanese Company or Corporation),
US (United States of America)

AN- 09-341259 -JP 97341259-

AD- December 11, 1997 (19971211)

PR- 7-33,051 [US 33051-1996], US (United States of America), December 12, 1996 (19961212)

IC- -6- H01L-021/768; H01L-021/3205

CL- 42.2 (ELECTRONICS -- Solid State Components)

KW- R004 (PLASMA); R020 (VACUUM TECHNIQUES); R044 (CHEMISTRY --
Photosensitive Resins); R115 (X-RAY APPLICATIONS)

?ss pn=11220021

S4 1 PN=11220021

?t s4/4/1

4/4/1

FN- DIALOG(R)File 347:JAPIO|

CZ- (c) 2001 JPO & JAPIO. All rts. reserv.|

TI- MANUFACTURE OF SEMICONDUCTOR DEVICE

PN- 11-220021 -JP 11220021 A-

PD- August 10, 1999 (19990810)

AU- TAKAGI HIDEO; NUNOFUJI WATARU

PA- FUJITSU LTD

AN- 10-019244 -JP 9819244-

AN- 10-019244 -JP 9819244-

AD- January 30, 1998 (19980130)

H01L-021/768; H01L-021/3065; H01L-021/28

AB- PROBLEM TO BE SOLVED: To provide a method for manufacturing semiconductor device with copper wiring, in which the resistance of a copper plug buried in a via hole can be reduced, when the via hole is formed into an interlayer insulating film and, at the same time, the

contamination in a chamber is reduced at the time of etching the interlayer insulating film. SOLUTION: A method for manufacturing semiconductor device includes a process for forming a second insulating film 3 covering the wiring formed on a first insulating film 2, a process for forming a third insulating film made of a material different from that of the second insulating film 3, and a process for forming an opening above the wiring by applying a resist 8 to the third insulating film and exposing and developing the resist 8. The method also includes a process for forming a hole 9 or groove into the third insulating film by etching the film through the opening, a process for exposing the wiring through the groove or hole 9 by removing the resist 8, and at the same time, a part of the second insulating film 3 through the groove or hole 9 by setting a semiconductor substrate in a chamber which is maintained in a plasma atmosphere containing oxygen, and a process for forming a metal film in the hole 9 or groove. COPYRIGHT: (C)1999,JPO

2b351

07mar01 12:20:43 User116074 Session D4649.3
 \$5.75 0.525 DialUnits File347
 \$1.05 1 Type(s) in Format 2
 \$4.50 3 Type(s) in Format 4
 \$5.55 4 Types
 \$11.30 Estimated cost File347
 \$1.39 TYMNET
 \$12.69 Estimated cost this search
 \$12.97 Estimated total session cost 0.590 DialUnits

File 351:Derwent WPI 1963-2001/UD,UM &UP=200111
 (c) 2001 Derwent Info Ltd

*File 351: Price changes as of 1/1/01. Please see HELP RATES 351.
 72 Updates in 2001. Please see HELP NEWS 351 for details.

Set	Items	Description
---	----	-----
?ss	pn=JP 10361715	
	S1 0	PN=JP 10361715
?ss	pn=JP 10261715	
	S2 1	PN=JP 10261715
?t	s2/4/1	

2/4/1

DIALOG(R)File 351:Derwent WPI
 (c) 2001 Derwent Info Ltd. All rts. reserv.

IM- *Image available*
 AA- 1998-579235/199849 |
 XR- <XRAM> C98-173479|
 XR- <XRPX> N98-451976|
 TI- Multilayer interconnection structure in semiconductor device - has copper wiring layers which are interconnected by connecting them to a plug|
 PA- LUCENT TECHNOLOGIES INC (LUCE); NEC CORP (NIDE)|
 AU- <INVENTORS> DONNELLY V M; UENO K|
 NC- 002|
 NP- 002|
 PN- JP 10261715 A 19980929 JP 97341259 A 19971211 199849 B|

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-261715

(43) 公開日 平成10年(1998) 9月29日

(51) Int.Cl.⁸

H 0 1 L 21/768

21/3205

識別記号

F I

H 0 1 L 21/90

21/88

C

M

審査請求 有 請求項の数16 O L (全 8 頁)

(21) 出願番号 特願平9-341259

(22) 出願日 平成9年(1997)12月11日

(31) 優先権主張番号 60/033051

(32) 優先日 1996年12月12日

(33) 優先権主張国 米国 (US)

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(71) 出願人 597172959

ルーセント テクノロジーズ インク

Lucent Technologies

Inc.,

アメリカ合衆国, 07974 ニュージャージー

ー, マレー ヒル, マウンテン アヴェニ

ュー 600

(74) 代理人 弁理士 後藤 洋介 (外2名)

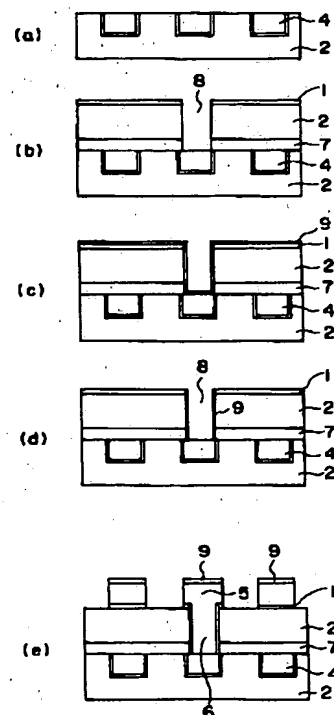
最終頁に続く

(54) 【発明の名称】 多層配線構造及びその製造方法

(57) 【要約】

【課題】 銅によって構成された多層配線において、銅層間の接触抵抗を低減し、配線遅延を少なくすることである。

【解決手段】 本発明の多層配線の構造では、第一層目の配線（銅）と第二層目の配線（銅）がビアプラグ（銅）を介して電氣的に接続され、ビアプラグと配線の接続が同種金属同士の接続となっていて、従来よりも接触抵抗が低くできるものである。また、本発明の多層配線の製造方法は、バリアメタル9をビアホール8側面に残し、第一層目の配線（銅）4の表面を露出したのち、ビアホール埋め込みの前処理として、酸素プラズマ処理、希釈弗酸処理、ヘキサフルオロアセチルアセトン・ガス処理を順次行って、接続界面の酸素を除去して、接触抵抗の低減を実現する。



【特許請求の範囲】

【請求項1】 第一層目の銅または銅を主成分とする配線と、該第一層目の配線と電気的に接続する銅または銅を主成分とするビアプラグを第二層目の配線として含む多層配線構造において、前記第一層目の配線と前記ビアプラグとの間の接続界面は、銅または銅を主成分とする金属同士の接合によって形成されていることを特徴とする多層配線構造。

【請求項2】 請求項1において、前記接続界面を形成する銅または銅を主成分とする金属は、還元されていることを特徴とする多層配線構造。

【請求項3】 請求項1において、前記接続界面を形成する銅または銅を主成分とする金属は、酸化されていないことを特徴とする多層配線構造。

【請求項4】 請求項1乃至3のいずれかにおいて、前記接続界面における抵抗率は、 $1.5 \times 10^{-9} \Omega \text{cm}$ 以下であることを特徴とする多層配線構造。

【請求項5】 請求項1乃至4のいずれかにおいて、前記接続界面における前記ビアプラグの接触抵抗は、ビアプラグの直径が0.3ミクロンのとき、 2Ω 以下であることを特徴とする多層配線構造。

【請求項6】 銅または銅を主成分とする金属の第一の配線を形成する工程と、第一の配線を形成後、銅または銅を主成分とする第二の配線を形成する工程とを少なくとも有する多層配線構造の製造方法において、前記第一の配線の形成後、前記銅または銅を主成分とする金属を還元する工程を行った後、前記第二の配線を形成することを特徴とする多層配線構造の製造方法。

【請求項7】 請求項6において、前記金属を還元する工程は、前記第一の配線をヘキサフルオロアセチルアセトンガスに曝す工程を含んでいることを特徴とする多層配線構造の製造方法。

【請求項8】 請求項7において、前記金属を還元する工程は、前記ヘキサフルオロアセチルアセトンガスに曝す工程の前に、前記第一の配線をクリーニングする工程を含んでいることを特徴とする多層配線構造の製造方法。

【請求項9】 第一層目の銅または銅を主成分とする配線を形成する工程と、該第一層目の配線上に層間絶縁膜を堆積する工程と、該層間絶縁膜にビアホールを反応性エッチングによって形成する工程と、前面にバリアメタル層を形成する工程と、異方性を有する反応性イオンエッチングによって、ビアホール底面部のバリアメタル層を選択的に除去する工程と、クリーニング処理工程として、酸素もしくは水素プラズマを用いたプラズマ処理と、希釈弗酸溶液に浸す処理と、ヘキサフルオロアセチルアセトンガスに曝す処理を順次行う工程と、銅または銅を主成分とする金属膜を堆積し、ビアプラグを形成する工程とを含むことを特徴とする多層配線構造の製造方法。

【請求項10】 請求項9において、ヘキサフルオロアセチルアセトンガスに曝す処理と、銅または銅を主成分とする金属を堆積してビアプラグを前記ビアホール内に形成する工程を真空中で連続して行うことを特徴とする多層配線構造の製造方法。

【請求項11】 少なくとも2層の配線を備えたデバイスを製造する方法において、銅または銅を主成分とする金属によって形成された第一の配線を基板に設ける工程と、第一の配線上に絶縁層を形成する工程と、前記絶縁層中に、前記第一の配線に接続するビアホールを形成する工程と、前記ビアホールを含む前記基板表面に、バリアメタル層を形成する工程と、異方性イオンエッチングにより、前記バリアメタル層を選択的にエッチングし、前記バリアメタル層を少なくとも前記ビアホールの底部から除去する工程と、前記基板を酸素または水素プラズマ処理する工程と、弗酸溶液中に、前記基板を浸す工程と、前記基板を反応性ガス中に曝し、前記第一の配線の露出した表面上の酸化物を実質上全て除去する工程と、銅または銅を主成分とする金属を前記ビアホール中に第二の配線として堆積し、ビアプラグを形成する工程とを有することを特徴とする多層配線構造の製造方法。

【請求項12】 請求項11において、前記反応性ガスは、ヘキサフルオロアセチルアセトンガスであることを特徴とする多層配線構造の製造方法。

【請求項13】 請求項12において、前記基板は、前記ビアホール中に、金属が形成されるまで、真空状態に保たれることを特徴とする多層配線構造の製造方法。

【請求項14】 請求項13において、前記基板は、真空中で、ヘキサフルオロアセチルアセトンガスに曝されることを特徴とする多層配線構造の製造方法。

【請求項15】 請求項14において、前記銅または銅を主成分とする金属の第一の配線と、銅または銅を主成分とする金属のビアプラグとの間の接触部における抵抗率は、 $1.5 \times 10^{-9} \Omega \text{cm}$ 以下であることを特徴とする多層配線構造の製造方法。

【請求項16】 請求項15において、前記接触部の抵抗は、前記ビアプラグの直径が0.3ミクロンのとき、 2Ω 以下であることを特徴とする多層配線構造の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置に用いる銅または銅を主成分とする多層配線構造およびその製造方法に関するものである。

【0002】

【従来の技術】一般に、半導体装置では、集積度の向上にともなって、配線遅延の増大や、配線の信頼性の劣化などの問題が生じている。その解決方法として、従来のAl合金配線に比較して、より低抵抗で、融点の高い銅を配線材料の主成分とする銅配線の開発が盛んに行われ

ている。

【0003】しかしながら、銅を主成分とする銅配線では、酸化がされやすく、安定な自然酸化被膜ができないため、プロセス中に、銅配線自体、酸化されてしまうことがあるため、銅配線を酸化なしで製造することは、難しいという問題がある。また、銅はシリコン（以下、Si）酸化膜やSi中の拡散速度が速く、銅が層間絶縁膜中や、Si中に拡散した場合、配線間のリーク電流の増加や、接合リーク電流の増加など、デバイス特性の劣化が生じる問題もある。

【0004】従来、このような問題を解決するために、図1に示すような多層配線構造（Proceedings of 1994 VLSI Multilevel Interconnection Conference, pp. 49-55：引用例1と呼ぶ）が提案されている。

【0005】引用例1に示された従来の多層配線構造は、銅の拡散を防止するバリアメタル1として、Taなどを銅とSi酸化膜2との間に挟む構造である。具体的に説明すると、下部に設けられたSi酸化膜2内に形成された溝が形成される一方、上部に設けられたSi酸化膜2中にも、ビアホール或いは溝が形成されている。このうち、下部のSi酸化膜2中の溝には、Ta等のバリアメタル1が被着され、当該バリアメタル4上に、第一層目の配線層4として、銅配線が形成されている。同様に、上部のSi酸化膜2のビアホール及び溝にも、バリアメタル1が形成され、且つ、このバリアメタル1上にも、第二層目の配線5を構成する銅配線が形成されている。第二層目の配線5の内、ビアホール中に形成された第二層目の配線5は、第一層目の配線4と電気的に接続され、バリアメタル1とともにビアプラグ6を形成している。更に、第一層目の配線4の表面には、銅の酸化を抑制する作用があるボロン注入層3が設けられている。

【0006】また、従来の多層配線の製造方法として、ビアプラグを形成する際の前処理として、希釈弗酸溶液に液浸する方法（Proceedings of 1995 VLSI Multilevel Interconnection Conference, pp. 337-339：引用例2と呼ぶ）が報告されている。引用例2に示された従来の処理方法では、バリア銅を堆積する直前に弗酸：純水＝1：50の希釈弗酸で銅表面のクリーニング処理を行うことを特徴としている。

【0007】

【発明が解決しようとする課題】一方、銅配線が必要となる微細な多層配線では、ビアホールの直径が0.3ミクロン以下程度まで、微小にすることが要求されている。このように、ビアホールの直径が微小になると、第一層目の配線と、第二層目の配線を形成するビアプラグとの間の接触面積も小さくなり、したがって、両配線間の接触抵抗が大きくなる。実際、引用例1及び2に示された従来の多層配線構造及び製造方法では、ビアプラグ接続部分の接触抵抗率は、 $1.5 \times 10^{-8} \Omega \text{ cm}^{-2}$ となり、この接触抵抗率から、直径0.3ミクロンのビア接

続の接触抵抗を計算すると、 2.1Ω という大きな値となる。このように、接触抵抗が大きくなると、配線遅延が増大するという問題が生じる。

【0008】配線遅延の増大を抑制するためには、ビアプラグ一個あたりの抵抗を引用例1及び2に示された従来例の10分の1に相当する 2Ω 程度以下にする必要がある。

【0009】上記した従来例に示された製造方法により得られた多層配線構造において、接触抵抗率が高い原因は明らかになっていない。しかしながら、その要因として、酸化防止のために注入したボロンとバリアメタル（Ta）との反応や、銅とTaとの反応によって、高抵抗の合金が形成されることが考えられる。また、本発明者等の実験によれば、希釈弗酸処理後の銅表面から、銅酸化膜を完全には除去できなかったことから、接触界面に残存した酸化物による高抵抗層の形成なども要因の1つと考えられる。

【0010】本発明の目的は、このように、接触抵抗が高くなるという従来例の問題を解決し、微細な多層配線を形成しても、接触抵抗の増大を防止できる多層は緯線構造及びその製造方法を提供することである。

【0011】本発明の他の目的は、接触抵抗の増大による配線遅延の問題のない多層配線構造及びその製造方法を提供することである。

【0012】本発明の更に他の目的は、ビアプラグが微細化して、当該ビアプラグと接触する配線の面積が小さくなくても、接触抵抗の増大を防ぐことができる多層配線構造及びその製造方法を提供することである。

【0013】

【課題を解決するための手段】本発明の多層配線の構造では、第一層目の配線とビアプラグが、それぞれ銅あるいは銅を主成分とする金属からなり、第一層目の配線とビアプラグの接続が同じ金属同士の接合でできていることが特徴である。さらに、バリアメタルは、ビアホールの側面に存在するが、配線層とビアプラグの接続部分には存在しないことも、特徴の一つである。

【0014】また、本発明の多層配線の第一の製造方法は、バリアメタルを堆積した後、異方性を持つ反応性イオンエッチングによってエッチバックし、ビアホール側面にバリアメタルを残し、ビア底面のバリアメタルを除去した後、クリーニング処理として、酸素あるいは水素プラズマを用いるプラズマ処理、希釈弗酸溶液による処理、ヘキサフルオロアセチルアセトン（Hhfac）によるガス処理を、順次、行った後、銅の堆積を行いビアプラグを形成することが特徴である。

【0015】更に、第二の製造方法では、最後に行うHhfac処理と、銅の堆積を真空中で連続して行うことが特徴である。

【0016】

【作用】本発明の多層配線の構造では、配線とビアプラ

グの接続が同一金属(銅)同士の接合となっているため、従来例のような合金形成の可能性がなく、高抵抗化要因を排除できる。さらに、本発明の製造方法では、ヘキサフルオロアセチルアセトンを用いるガス処理によって、銅表面の酸化物を完全に除去でき、それによって酸素の影響による高抵抗化要因を排除できる。さらに、本発明の第二の製造方法では、Hhfacガス処理と銅の堆積を真空連続で行うことによって、大気開放による再酸化を防いで酸素の影響を完全に排除して、理想的な銅と銅の同種接合が形成でき、接触抵抗率が低減できる。さらに、Hhfac処理とCVDによる銅の堆積は、同一チャンバー内で、供給するガスを切り替えることで容易に連続処理ができ、製造効率の面でも工程数が増加する問題を生じない。

【0017】

【発明の実施の形態】図2は、本発明の第一の実施の形態に係る多層配線構造を示す断面図である。

【0018】図2に示された実施の形態では、銅或いは銅を主成分とする金属によって形成された第一層目の配線4が、Si酸化膜2に形成した溝に埋設されており、溝の側面及び底面はバリアメタルで覆われている。配線層間の絶縁膜として、この実施の形態では、Si窒化膜7及びSi酸化膜2の積層構造を用いている。当該絶縁膜には、第一層目の配線4に達するビアホール及び第一層目の配線4には達しない溝とが設けられており、ビアホールの底面を除く、溝の側面及び底面、ビアホールの側面には、窒化チタン(TiN)からなるバリアメタル1が被着されている。ビアホール内には、銅或いは銅を主成分とする金属によって形成されたビアプラグ6が埋め込まれており、このビアプラグ6は、バリアメタル1と共に第二層目の配線5の一部を形成している。ビアプラグ6と第一層目の配線は、バリアメタル1を介することなく接合しており、同種金属同士の接合になっている。

【0019】図3は、本発明の第二の実施の形態に係る多層配線構造の断面図である。

【0020】図2と同様に、図3の実施例では、銅または銅を主成分とする金属によって形成された第一層目の配線4が、Si酸化膜2に形成した溝に埋設されている。配線層間の絶縁膜として、Si窒化膜7とSi酸化膜2の積層構造が用いられており、当該絶縁膜には、図2と同様に、ビアホール及び溝が形成されている。ビアホール及び溝側面には、窒化チタン(TiN)からなるバリアメタル1が設けられている。図2に示された実施の形態との違いは、TiNのバリアメタル1が、Si酸化膜2の側面だけを覆い、Si窒化膜7の側面には形成されていない点である。ビアプラグ6は、第一層目の配線4と同じ金属、即ち、銅または銅を主成分とする金属を埋め込んで形成されており、ビアプラグ6は、第二層目の配線5の一部を形成している。この例においても、

ビアホールの底部には、バリアメタル1が形成されていないから、ビアプラグ6と第一層目の配線との接合は、同種金属同士の接合になっている。

【0021】図4は、本発明の第三の実施の形態に係る多層配線構造を示す断面図である。

【0022】図4の構造は、ビアの構造は図2の第一の実施形態と同じであるが、上層配線を層間膜に埋め込み、表面を平坦化した構造を有している点で図2とは異なっている。上層配線の側面にもTiNバリアメタル1が存在し、上層配線の下に溝エッチングの停止と銅の拡散防止用Si窒化膜(Si₃N₄膜)7が設けてある。即ち、上層配線は、2層のSi窒化膜7と2層のSi酸化膜2とによって構成されている。

【0023】また、図4の実施形態と同様に、上層配線を層間膜に埋め込み平坦化した構造で、ビアプラグの構造が第二の実施例と同じ構造の組み合わせも可能である。

【0024】次に、本発明に係る多層配線の製造方法の第一の実施形態を説明する。

【0025】まず、図5(a)のように、Si酸化膜2を表面に設けた基板上に、銅によって形成された第一層目の配線4を形成する。第一層目の配線は、Si酸化膜2に深さ500nmの溝を形成し、バリアメタル1として、TiN膜を膜厚20nmだけCVD法で全面に堆積した後、銅の膜をCVDにより膜厚800nm堆積する。次に、化学機械研磨(CMP)によって、銅とバリアメタルを研磨して、溝内のみ銅とバリアメタルを残し、下層配線とする。

【0026】次に図5(b)のように、層間絶縁膜として、Si窒化膜(Si₃N₄)7、Si酸化膜(SiO₂)2をそれぞれ100nm及び600nmの膜厚となるように、CVD法で堆積する。次に、ビアパターンをフォトリソグラフィで形成し、反応性イオンエッチング(RIE)を行い、Si窒化膜(Si₃N₄)7に達するビアホール8を形成する。RIEには、トリフロロメタン(CHF₃)プラズマを用い、エッチングをSi窒化膜(Si₃N₄)7のところで停止し、エッチングに用いたフォトリソマスクを酸素プラズマ処理、有機溶液を用いて除去する。

【0027】次に、図5(c)のように、全面に、膜厚30nmのTiN膜9を堆積し、同じくトリフロロメタン(CHF₃)プラズマによるRIEでエッチバックし、TiN膜9とSi窒化膜(Si₃N₄)7を順次、除去して銅の表面を露出させる(図5(d))。CHF₃プラズマ照射によって、表面にはフルオロカーボン膜などの汚染が生じるが、それを取り除くために酸素プラズマ処理を、圧力1Torr、RF電力100Wの条件下で、1分間の処理を行う。

【0028】次に、弗酸：純水=1：100の割合の希釈弗酸水溶液に15秒間浸した後、純水で5分間洗浄

し、乾燥させる。次に、ヘキサフルオロアセチルアセトン (Hhfac) ガス処理を次の手順で行う。真空チャンパー内に基板を導入し、基板温度200℃、圧力10 Torrの条件で基板をHhfac雰囲気中に10分間さらす。この処理により、銅表面の酸化銅が還元されて、金属銅表面が得られる。

【0029】次に、銅をCVD法で膜厚800nmとなるように堆積する。この銅の堆積は、好ましくはHhfacガス処理直後に、真空連続で行う。銅の上にさらにバリアメタルとして、スパッタ法で、膜厚50nmのTiN膜9を堆積する。フォトリソグラフィーとRIEで銅のエッチングマスクとなるSi酸化膜パターンを形成し、3塩化ボロンプラズマによりTiN9と銅膜を選択的にRIEし、第二層目の配線5を形成する(図5(e))。

【0030】次に、本発明に係る多層配線の製造方法の第二の実施形態を説明する。

【0031】まず、図6(a)のように、Si酸化膜2を表面に有する基板上に、銅の第一層目の配線4を形成する。その形成方法は、第一の実施例と同じである。

【0032】次に図6(b)のように、層間絶縁膜として、Si窒化膜(Si₃N₄)7、Si酸化膜(SiO₂)2をそれぞれ膜厚、100nm及び600nmだけCVD法で堆積する。次に、ビアパターンをフォトリソグラフィーで形成し、反応性イオンエッチング(RIE)を行い、ビアホール8を形成する。RIEには、トリフロロメタン(CHF₃)プラズマを用い、エッチングをSi窒化膜(Si₃N₄)7のところで停止し、エッチングに用いたフォトレジストマスクを酸素プラズマ処理、有機溶液を用いて除去する。次に、トリフロロメタン(CHF₃)プラズマを用い、SiN膜7をRIEし、第一層目の配線4の表面を露出させる。

【0033】次に、弗酸：純水=1：100の割合の希釈弗酸水溶液に15秒間浸した後、純水で5分間洗浄し、乾燥させる。このクリーニングにより、ビア底面の銅のスパッタにより絶縁膜上に付着した銅のリフトオフにより除去する。また、Si酸化膜2、Si窒化膜7上に付着したフロロカーボンもリフトオフにより除去される。次に、TiN膜9を全面に膜厚30nm堆積する(図6(c))。

【0034】同じくトリフロロメタン(CHF₃)プラズマによるRIEでエッチバックし、TiN膜9を除去して銅の表面を露出させる(図6(d))。CHF₃プラズマ照射によって、銅表面にはフルオロカーボン膜などの汚染が生じるが、それを取り除くために酸素プラズマ処理を、圧力1Torr、RF電力100Wで、処理を1分間行う。次に、弗酸：純水=1：100の割合の希釈弗酸水溶液に15秒間浸した後、純水で5分間洗浄し、乾燥させる。この希釈弗酸処理は、ビア側面などに付着した銅を除去する作用があるが、すでにビアホール

側面がTiN膜9で覆われているため、省略しても良い。

【0035】次に、ヘキサフルオロアセチルアセトン (Hhfac) ガス処理を次の手順で行う。真空チャンパー内に基板を導入し、基板温度200℃、圧力10 Torrの条件で基板をHhfac雰囲気中に10分間さらす。この処理により、銅表面の酸化銅が還元されて、金属銅表面が得られる。

【0036】次に、CVD法で膜厚800nmの銅を堆積し、銅層を形成する。この銅の堆積は、好ましくはHhfacガス処理直後に、真空連続で行う。銅層の上にさらにバリアメタルとしてTiN膜9を膜厚50nm堆積する。フォトリソグラフィーとRIEで銅のエッチングマスクとなるSi酸化膜パターンを形成し、3塩化ボロンプラズマによりTiN膜9と銅膜を選択的にRIEし、第二層目の配線(銅)5を形成する(図6(e))。

【0037】図7は、本発明に係る多層配線の製造方法の第3の実施例を説明するための断面図である。

【0038】上述の実施例と同様に第一層目の配線4を形成した後、Si₃N₄、SiO₂、Si₃N₄、SiO₂の順でCVD法で膜を堆積する。膜厚はそれぞれ100nm、600nm、200nm、500nmである。次に、スパッタ法でTiN膜9を膜厚50nm堆積する(図7(b))。

【0039】ビアパターンをフォトリソグラフィーで形成し、CHF₃プラズマを用いてTiN膜9、上層側のSiO₂、Si₃N₄をRIEして、ビアホール8を形成する。この時、ビアホールエッチングは、上層側のSi₃N₄をエッチングして下層側のSiO₂に入ったところで停止する(図7(c))。

【0040】同様に、第二層目の配線溝パターンをフォトリソグラフィーで形成し、Si₃N₄とSiO₂のエッチング選択比のあるRIEを用いて第二層目の配線溝10を形成する。このエッチングの際に、ビアホール8の深さも深くなる。エッチング時間を制御して、ビアホールの深さが下層側のSi₃N₄膜7に達した所でエッチングが一旦停止するようにする。レジストマスクを除去し、Si₃N₄膜7をエッチングして、第一層目の配線4の表面を露出する。次に、TiN膜9を全面に膜厚30nm堆積し、同じくトリフロロメタン(CHF₃)プラズマによるRIEでエッチバックし、TiN9を除去して銅の表面を露出させる(図7(d))。

【0041】CHF₃プラズマ照射によって、表面にはフルオロカーボン膜などの汚染を取り除くために酸素プラズマ処理を、圧力1Torr、RF電力100Wで、処理を1分間行う。弗酸：純水=1：100の割合の希釈弗酸水溶液に15秒間浸した後、純水で5分間洗浄し、乾燥させる。次に、ヘキサフルオロアセチルアセトン (Hhfac) ガス処理を次の手順で行う。真空チャ

ンパー内に基板を導入し、基板温度 200℃、圧力 10 Torr の条件で基板を H h f a c 雰囲気中に 10 分間さらす。この処理により、銅表面の酸化銅が還元されて、金属銅表面が得られる。

【0042】次に、CVD法で膜厚800nmの銅を堆積する。この銅の堆積は、好ましくはHhfacガス処理直後に、真空連続で行う。最後にCMPによって銅とTiN膜9をエッチバックし、第二層目の配線5を形成する。

【0043】以上説明した方法で、ピアプラグ埋め込み 10
前のピア底面の銅表面状態をX線光電子分光法(XPS)で観察した結果、表面の銅酸化膜が完全に還元され、金属状態の銅表面が得られた。一方、比較のために行った従来の希釈弗酸水溶液のみによるクリーニングでは、2価の酸化銅はなくなるものの、1価の酸化銅が表面に存在した。1価の酸化銅は、Hhfacガス処理によって、除去された。

【0044】また、以上説明した方法で製造した銅ビアの抵抗を測定した結果、直径0.3ミクロンのサイズで2Ωの抵抗が得られた。これは、従来例の10分の1に20相当する。

【0045】上記したように、本発明の多層配線構造では、第一層目の配線とビアプラグが、それぞれ銅あるいは銅を主成分とする金属からなり、第一層目の配線とビアプラグの接続が同じ金属同士の接合によって形成されている。更に、本発明においては、バリアメタルは、ビアホール of 側面には残されているが、配線層とビアプラグの接合部分には存在しない。

【0046】本発明によれば、ホモ接合構造によって、ピアプラグの抵抗を低減できる。従来技術の構造において、接触部における抵抗率が高くなる理由は、定かではないが、酸化防止のために金属銅中に注入されるボロンとバリアメタル（Ta）との反応、又は、銅とTaとの反応によって、合金が形成され、この合金が高い抵抗率を示すことが、一つの要因と考えられる。希釈弗酸溶液自体、銅表面から銅酸化膜を全て除去することはないから、希釈弗酸溶液によって第一の配線の銅表面をクリー

ンにしかだけの従来のデバイスでは、第一の配線とピアプラグとの間の接触による抵抗が、本発明に係るデバイスに比べて高くなってしまう。

【 0 0 4 7 】

【発明の効果】本発明の方法では、銅によって形成された接触部の抵抗率を $1.5 \times 10^{-9} \Omega \text{ cm}$ 以下にすることができる。これは、直径0.3ミクロンのピアプラグによって接触部が形成された場合、接触部は 2Ω の抵抗を有することと対応している。上記したことから、Hh f a cによってクリーニングする本発明の方法では、銅と銅によって形成された接触部の抵抗率を $1/10$ にすることができる。

【図面の簡単な説明】

【図1】従来の多層配線の構造を説明するための断面図である。

【図 2】本発明に係る多層配線の構造の第一の実施形態を説明するための断面図である。

【図 3】本発明に係る多層配線の構造の第二の実施形態を説明するための断面図である。

【図 4】本発明に係る多層配線の構造の第 3 の実施形態を説明するための断面図である。

【図5】本発明に係る多層配線の製造方法の第一の実施形態を説明するための断面図である。

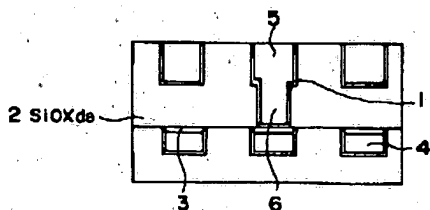
【図6】本発明に係る多層配線の製造方法の第二の実施形態を説明するための断面図である。

【図 7】本発明に係る多層配線の製造方法の第 3 の実施形態を説明するための断面図である。

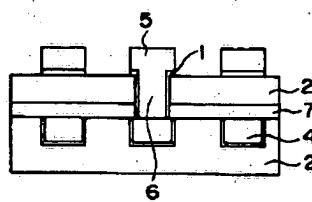
【符号の説明】

- 1, 9 バリアメタル (TiN)、TiN膜
- 2 Si酸化膜
- 3 ボロン注入層
- 4 第一層目の配線 (銅)
- 5 第二層目の配線 (銅)
- 6 ビアプラグ (銅)
- 7 Si窒化膜
- 8 ビアホール
- 10 第二層目の配線溝

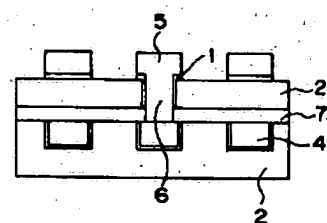
【图 1】



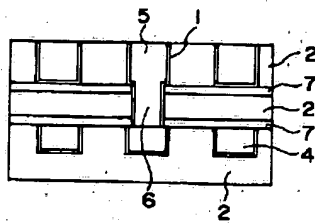
【图2】



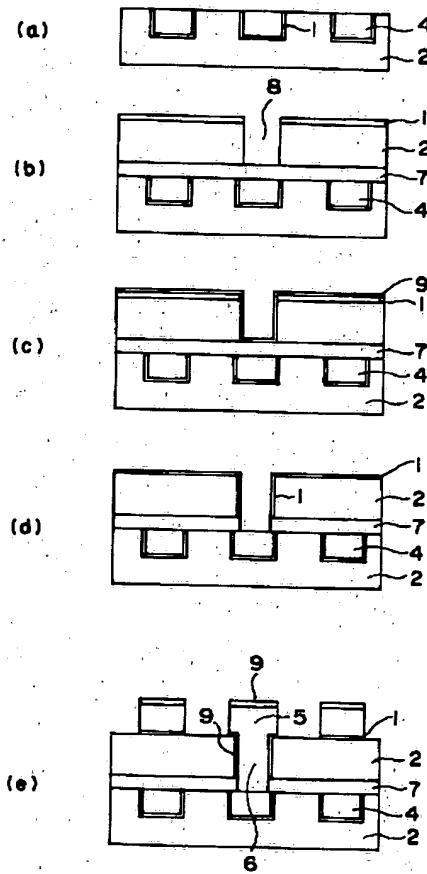
【图 3】



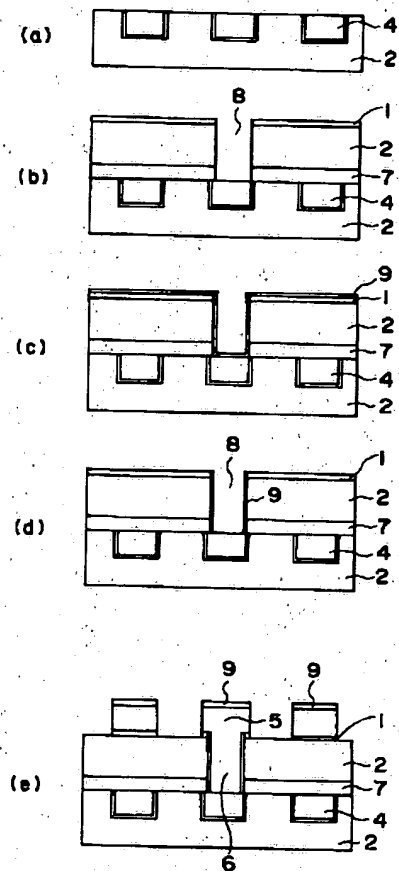
【图 4】



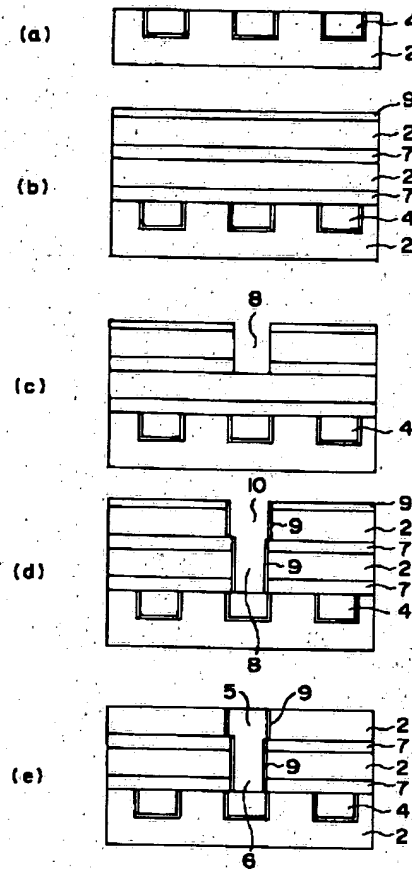
【图 5】



【 図 6 】



【図7】



フロントページの続き

(71)出願人 597172959
600 Mountain Avenue,
Murray Hill, New Jersey
07974, U. S. A.

(72)発明者 上野 和良
東京都港区芝五丁目7番1号 日本電気株式会社内

(72)発明者 ビンセント マイケル ドネリ ジュニア
アメリカ合衆国, 07922 ニュージャージー,
パークレイ ハイツ, オールド キャ
ノン ロード 60